

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **04046317 A**(43) Date of publication of application: **17.02.92**

(51) Int. Cl.

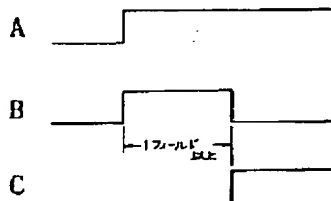
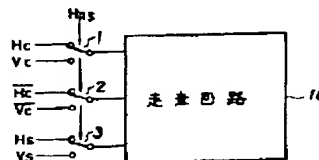
G02F 1/133**G09G 3/36****G11C 19/28****H04N 5/66**(21) Application number: **02156167**(71) Applicant: **SONY CORP**(22) Date of filing: **14.06.90**(72) Inventor: **MAEKAWA TOSHIICHI**(54) **SCANNING CIRCUIT**

(57) Abstract:

PURPOSE: To obtain a scanning signal having high stability by resetting a circuit by using low-speed clock signals or switching means when it is desired.

CONSTITUTION: The clock signals V_c , inverted V_c and a start signal V_s of perpendicular scanning are supplied for, for example, 31 field period and thereafter, the clock signals H_c , inverted H_c and a start signal H_s of horizontal scanning are supplied to the input part of a scanning circuit 10 when switches 1, 2 and 3 respectively turn on, for example, a power source or a display device is started. Then, the clock signals of the perpendicular scanning are supplied to the scanning circuit 10 at the time of turning on of the power source or the display device. The signals are as low as several 100 times the period as compared with the clock signals of the horizontal scanning and, therefore, the sure driving is executed even for the large load. The circuit is reset in this way and thereafter the normal operation is executed even with the clock signals of the horizontal scanning.

COPYRIGHT: (C)1992,JPO&Japio



JCS15 U.S. PTO
09/523511
03/10/00

(19)日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11)特許番号

第2940078号

(45)発行日 平成11年(1999) 8月25日

(24)登録日 平成11年(1999) 6月18日

(51)Int.Cl.⁸
 G 0 2 F 1/133
 G 0 9 G 3/36
 G 1 1 C 19/28
 H 0 4 N 5/66

識別記号
 5 0 5

 1 0 2

F I
 G 0 2 F 1/133
 G 0 9 G 3/36
 G 1 1 C 19/28
 H 0 4 N 5/66

請求項の数2 (全 9 頁)

(21)出願番号 特願平2-156167
 (22)出願日 平成2年(1990) 6月14日
 (65)公開番号 特開平4-46317
 (43)公開日 平成4年(1992) 2月17日
 審査請求日 平成9年(1997) 5月27日

(73)特許権者 999999999
 ソニー株式会社
 東京都品川区北品川6丁目7番35号
 (72)発明者 前川 敏一
 東京都品川区北品川6丁目7番35号 ソ
 ニー株式会社内
 (74)代理人 弁理士 松隈 秀盛

審査官 宮本 昭彦

(56)参考文献 特開 昭57-158095 (J P, A)
 特開 昭63-304228 (J P, A)

(58)調査した分野(Int.Cl.⁸, D B名)

G02F 1/133
 G09G 3/36
 G11C 19/28
 H04N 5/66

(54)【発明の名称】 走査回路

(57)【特許請求の範囲】

【請求項1】入力信号をクロック信号に同期して駆動される第1のインバータと通常構成の第2のインバータの直列回路を介して次段に供給すると共に、この次段に供給される信号を上記第1のインバータの駆動と反転で駆動される第3のインバータを介して上記第1のインバータの出力に帰還して1クロック期間のラッチを行うようにした走査回路において、上記入力信号の到来及び上記次段への信号の供給を検出して上記第1及び第3のインバータへの上記クロック信号の供給を制御する手段が設けられると共に、少なくとも起動時の所定の期間に上記クロック信号を低速にする手段が設けられたことを特徴とする走査回路。

【請求項2】入力信号をクロック信号に同期して駆動される第1のインバータと通常構成の第2のインバータの

直列回路を介して次段に供給すると共に、この次段に供給される信号を上記第1のインバータの駆動と反転で駆動される第3のインバータを介して上記第1のインバータの出力に帰還して1クロック期間のラッチを行うようにした走査回路において、上記入力信号の到来及び上記次段への信号の供給を検出して上記第1及び第3のインバータへの上記クロック信号の供給を制御する手段が設けられると共に、上記第1及び第3のインバータの出力端と上記第2のインバータの入力端とを結ぶ信号路と一方の電源端子との間にスイッチ手段が設けられ、このスイッチ手段が所定の期間にオンされるようにしたことを特徴とする走査回路。

【発明の詳細な説明】

[産業上の利用分野]

本発明は、例えば液晶ディスプレイ装置における水平走査回路に使用して好適な走査回路に関する。

〔発明の概要〕

本発明は走査回路に関し、入力信号の到来及び次段への信号の供給を検出してインバータへのクロック信号の供給を制御する手段が設けられている場合に、所望時に低速のクロック信号またはスイッチ手段を用いて回路のリセットが行われるようにすることによって、回路の動作を確実にして装置の信頼性を向上させると共に、安定度の高い走査信号を得ることができるようにするものである。

〔従来の技術〕

液晶ディスプレイ装置の水平走査に用いられる走査回路としては、従来から例えば第6図に示すような回路が使用されている（特開平2-12222号公報等参照）。

すなわち図において、 V_{DD} 、 V_{SS} への電源ライン間にインバータIを構成する素子 I_P 、 I_N と、それぞれクロック信号で駆動されるスイッチング素子 P 、 N の設けられたクロックドインバータが用意される。なおこの例ではスイッチング素子 P 、 N がインバータIを構成する素子 I_P 、 I_N の内側に設けられているが、動作は上記の先行技術の回路と同じである。

そして例えば水平走査に用いる場合には、スイッチング素子 P 、 N に水平画像クロック信号 H_C 及び $\Delta H\overline{C}\nabla$ が供給されると共に、入力スタート信号 H_S がクロック信号 H_C 、 $\Delta H\overline{C}\nabla$ に同期して駆動される初段のクロックドインバータ I_{10} に供給される。さらにこのインバータ I_{10} の出力が通常構成のインバータ I_{11} を介して次段に供給されると共に、インバータ I_{11} の出力がインバータ I_{10} の駆動と反転で駆動されるクロックドインバータ I_{12} を介してインバータ I_{10} の出力に帰還される。これによってインバータ $I_{10} \sim I_{12}$ にて1クロック期間のラッチが行われる。このラッチされた信号が出力信号 ϕ_{H1} として取られ、この出力信号 ϕ_{H1} が例えば入力ビデオ信号 V_{IN} の水平方向のサンプリングを行うスイッチング素子 S_1 のゲートに供給される。

さらに次段以降、上述の回路が繰り返し設けられると共に、これらの回路には一段毎にクロック信号 H_C 、 $\Delta H\overline{C}\nabla$ が反転されて供給されるように構成される。

従ってこの回路に第7図A、Bに示すようなクロック信号 H_C 、 $\Delta H\overline{C}\nabla$ が供給され、同図Cに示すような入力スタート信号 H_S が供給されると、各段からはそれぞれ同図D、E……に示すような出力信号 ϕ_{H1} 、 ϕ_{H2} ……が取出される。そしてこれらの信号がスイッチング素子 S_1 、 S_2 ……の各ゲートに供給されることによって、入力ビデオ信号 V_{IN} の水平方向のサンプリングが行われる。

ところが上述の従来の構成において、クロック信号 H_C 、 $\Delta H\overline{C}\nabla$ の供給される信号ラインには、それぞれ、

$$H_C \rightarrow (N_{10}, P_{12}) \quad (N_{22}, P_{20}) \quad (N_{30}, P_{32}) \\ (N_{42}, P_{40}) \dots$$

$$\Delta H\overline{C}\nabla \rightarrow (N_{12}, P_{10}) \quad (N_{20}, P_{22}) \quad (N_{32}, P_{30}) \\ (N_{40}, P_{42}) \dots$$

のスイッチング素子のゲートが接続されている。

そこでこの場合に、例えば水平方向の画素数を480とし、各素子のサイズを、 $W/L=50 [\mu m] / 7 [\mu m]$ 、ゲートの厚さを600Åとすると、上述のゲートによって形成される容量Cは

$$C = 480 \times 2 \times \frac{\epsilon_0 \epsilon_r}{600 [\text{\AA}]} \\ \times (50 [\mu m] \times 7 [\mu m]) \\ = 200 [\text{pF}]$$

となり、極めて大きな容量が各クロック信号のラインに接続されていることになる。

一方、各クロック及び $|V_{DD}-V_{SS}|$ の大きさは10~20V程度であり、これを例えば周波数4.5MHzで駆動しようとする、上述の大容量では汎用のC-MOSドライバ等での駆動は困難であった。

さらにこのような駆動は、例えばHDTV信号において水平方向の画素数が1000以上となり、クロック周波数も高くした場合には到底不可能となってしまうものである。

〔発明が解決しようとする課題〕

これに対して本願出願人は先に、入力信号の到来及び次段への信号の供給を検出してクロック信号の供給を制御することにより、走査回路へのクロック信号の供給が1段ごとに行われるようにしてクロックドライバの負担を軽減するようにした回路を提案した（特願平1-284691号）。

すなわち第8図において、クロック信号 H_C 、 $\Delta H\overline{C}\nabla$ の供給される信号ラインからの信号路にそれぞれC-MOSスイッチ素子 C_{11} 、 C_{12} が設けられる。また前段からの入力信号と次段へ供給される信号とがノア回路 NR_1 に供給され、このノア回路 NR_1 からの信号がC-MOSスイッチ素子 C_{11} 、 C_{12} のN型素子のゲートに供給されると共に、インバータ I_{14} を介してC-MOSスイッチ素子 C_{11} 、 C_{12} のP型素子のゲートに供給される。さらにスイッチング素子 N_{10} のゲートがスイッチング素子 N_{13} を通じて V_{SS} への電源ラインに接続され、このスイッチング素子 N_{13} のゲートが V_{DD} への電源ラインに接続されると共に、スイッチング素子 N_{12} のゲートがスイッチング素子 P_{13} を通じて V_{DD} への電源ラインに接続され、このスイッチング素子 P_{13} のゲートが V_{SS} への電源ラインに接続される。

なお図は1段の構成のみを示したが、次段以降、上述の回路が繰り返し設けられると共に、これらの回路には一段毎にクロック信号 H_C 、 $\Delta H\overline{C}\nabla$ が反転されて供給されるように構成される。

従ってこの回路において、第9図A、Bに示すようなクロック信号 H_C 、 $\Delta H\overline{C}\nabla$ が供給され、同図Cに示すよう

な入力スタート信号 H_S が供給されると、入力スタート信号 H_S の立ち上がりによって同図Dに示すようにC-MOSスイッチ素子 C_{11}, C_{12} が導通され、同図E, Fに示すようなクロック信号が1段目の回路に供給される。これによってこの1段目の回路が駆動され、この回路からは同図Gに示すような出力信号 ϕ_{H1} が取出される。そしてこの出力信号 ϕ_{H1} の立ち下りでC-MOSスイッチ素子 C_{11}, C_{12} が遮断され、このときスイッチング素子 N_{13}, P_{13} が導通されていることにより、スイッチング素子 N_{10}, P_{12} のゲートが V_{SS} への電源ラインに接続され、スイッチング素子 N_{12}, P_{10} のゲートが V_{DD} への電源ラインに接続され、1段目の回路は初期的不動作状態にされる。

さらに同様に2段目の回路が同図Hに示すように動作状態にされ、同図I, Jに示すようなクロック信号が供給されて、同図Kに示すような出力信号 ϕ_{H2} が取出される。以下3段目、4段目……の回路が同様に駆動され、出力信号 $\phi_{H3}, \phi_{H4}, \dots$ が順次取出される。

そしてこの回路によれば、図から明らかなように、クロック信号 $H_C, \Delta H_C \nabla$ が供給されるのは、常に2~3段の回路のみであり、クロックドライバの負荷が軽減されて通常の回路での駆動が可能になるものである。

ところがこの回路を実施した場合に、この回路では起動時等に各段がフローティング状態になるため、不特定の段でノイズ等による信号がラッチ状態になる場合が生じる。そしてこのような段が所定数以上あると、元々軽減された負荷を想定して設計されたクロックドライバでは、そのときの負荷が大きくなりすぎて駆動できなくなり、このような状態が生じると、再起動等によって偶然その状態が解消されないかぎり、回路が永久に動作しない恐れがあった。

この出願はこのような点に鑑みてなされたもので、簡単な構成で上述の状態が良好に解消されるようにするのである。

〔課題を解決するための手段〕

本発明による第1の手段は、入力信号をクロック信号に同期して駆動される第1のインバータ I_{10}, I_{20}, \dots と通常構成の第2のインバータ I_{11}, I_{21}, \dots の直列回路を介して次段に供給すると共に、この次段に供給される信号を上記第1のインバータの駆動と反転で駆動される第3のインバータ I_{12}, I_{22}, \dots を介して上記第1のインバータの出力に帰還して1クロック期間のラッチを行うようにした走査回路において、上記入力信号の到来及び上記次段への信号の供給を検出（ノア回路 NR_1, NR_2, \dots ）して上記第1及び第3のインバータへの上記クロック信号の供給を制御する手段（C-MOSスイッチ素子 $C_{11}, C_{12}, C_{21}, C_{22}, \dots$ ）が設けられると共に、少なくとも起動時の所定の期間に上記クロック信号を低速（垂直走査用）にする手段（スイッチ（1）（2）（3））が設けられたことを特徴とする走査回路である。

第2の手段は、入力信号をクロック信号に同期して駆

動される第1のインバータ I_{10}, I_{20}, \dots と通常構成の第2のインバータ I_{11}, I_{21}, \dots の直列回路を介して次段に供給すると共に、この次段に供給される信号を上記第1のインバータの駆動と反転で駆動される第3のインバータ I_{12}, I_{22}, \dots を介して上記第1のインバータの出力に帰還して1クロック期間のラッチを行うようにした走査回路において、上記入力信号の到来及び上記次段への信号の供給を検出（ノア回路 NR_1, NR_2, \dots ）して上記第1及び第3のインバータへの上記クロック信号の供給を制御する手段（C-MOSスイッチ素子 $C_{11}, C_{12}, C_{21}, C_{22}, \dots$ ）が設けられると共に、上記第1及び第3のインバータの出力端と上記第2のインバータの入力端とを結ぶ信号路と一方の電源端子との間にスイッチ手段（スイッチング素子 P_{14}, P_{24}, \dots ）が設けられ、このスイッチ手段が所定の期間にオンされるようにしたことを特徴とする走査回路である。

〔作用〕

これによれば、所望時に低速のクロック信号または第1及び第3のインバータの出力端と第2のインバータの入力端とを結ぶ信号路と一方の電源端子との間に設けられたスイッチ手段を用いて回路のリセットが行われるので、起動時等の回路の動作が確実に行われるようになり、装置の信頼性が向上されると共に、安定度の高い走査信号を得ることができる。

〔実施例〕

第1図は第1の実施例を示す。この図において例えば上述の従来の技術で述べた走査回路について、この走査回路（10）のクロック信号 $H_C, \Delta H_C \nabla$ 及びスタート信号 H_S の入力部にそれぞれ切り換えスイッチ（1）、

（2）及び（3）が設けられ、これらのスイッチ

（1）、（2）及び（3）を通じて、例えば結晶ディスプレイ装置の垂直走査に用いられるクロック信号 $V_C, \Delta V_C \nabla$ 及びスタート信号 V_S が供給される。

さらにこれらのスイッチ（1）、（2）及び（3）が、それぞれ例えば第2図Aに示すような電源投入またはディスプレイ装置の起動時に、同図Bに示すように例えば1フィールド以上の期間、垂直走査のクロック信号 $V_C, \Delta V_C \nabla$ 及びスタート信号 V_S が供給されると共に、その後同図Cに示すように水平走査のクロック信号 $H_C, \Delta H_C \nabla$ 及びスタート信号 H_S が走査回路（10）の入力部に供給される。

従ってこの回路において、電源投入またはディスプレイ装置の起動時には、走査回路（10）には垂直走査のクロック信号が供給され、この信号は水平走査のクロック信号に比べて周期が数100倍と低速であるので、大きな負荷に対しても確実に駆動を行うことができ、これによって回路がリセットされて、その後は水平走査のクロック信号に対しても正常な動作を行うことができるようになる。

なお第3図は上述の電源投入またはディスプレイ装置

の起動時にスイッチ(1)、(2)及び(3)を切り換えるための制御信号 H_{RS} を形成するための回路を示したもので、例えば同図Aに示すように V_{SS} 、 V_{DD} への電源ライン間に抵抗器とコンデンサの直列回路が設けられてこの接続中点から制御信号 H_{RS} が導出される。これによれば例えば同図B(a)に示すような V_{DD} の変化に対して同図B(b)に示すように制御信号 H_{RS} が変化され、この信号電位が所定値以下の期間にスイッチ(1)、

(2)及び(3)が垂直走査のクロック信号側に切り換えられる。あるいは同図Cに示すようにこの導出された信号をさらに2段のインバータで同図D(a)(b)に示すように波形整形して用いるようにしてもよい。

このようにして上述の回路において、起動時等のリセットを行うことができる。

さらに第4図は他の例の構成を示す。この図において上述のインバータ $I_{10} \sim I_{13}$ 、 $I_{20} \sim I_{23}$ 、ノア回路 N_{R1} 、 N_{R2} 、C-MOSスイッチ素子 C_{11} 、 C_{12} 、 C_{21} 、 C_{22} 、スイッチング素子 N_{13} 、 P_{13} 、 N_{23} 、 P_{23} 等を構成する各素子に加えて、インバータ I_{10} 、 I_{12} の出力端とインバータ I_{13} の入力端とを結ぶ信号路がスイッチング素子 P_{14} を介して V_{DD} への電源ラインに接続され、このスイッチング素子 P_{14} のゲートに上述の制御信号 H_{RS} が供給される。以下各段ごとに同様にインバータ(I_{20} 、 I_{22})の出力端とインバータ I_{23} の入力端とを結ぶ信号路がスイッチング素子 P_{24} を介して V_{DD} への電源ラインに接続され、このスイッチング素子 P_{24} のゲートに上述の制御信号 H_{RS} が供給される。

従ってこの回路において、所望時に制御信号 H_{RS} を低電位にしてスイッチング素子 P_{14} 、 P_{24} を導通させることによって、回路のリセットを行うことができる。

なおこのリセットのタイミングとしては、第5図にそれぞれ示すように、水平同期信号を利用して水平ブランキング期間に行う(A)か、垂直同期信号を利用して垂直ブランキング期間に行う(B)か、上述の第1の実施例のように電源投入またはディスプレイ装置の起動時に行う(C)ようにすることもできる。

こうして上述の回路によれば、所望時に低速のクロッ

ク信号または第1及び第3のインバータの出力端と第2のインバータの入力端とを結ぶ信号路と一方の電源端子との間に設けられたスイッチ手段を用いて回路のリセットが行われるので、起動時等の回路の動作が確実に行われるようになり、装置の信頼性が向上されると共に、安定度の高い走査信号を得ることができるものである。

またこれによれば、駆動をTFTで行うことも可能になり、ドライバを液晶ディスプレイ装置のパネル上に内蔵させることが可能になると共に、このTFTでレベル変換も行うようにすれば、外部からはTTLレベルでの信号の供給が可能になる。

さらにこの装置によれば、表示の高解像度化を容易に実現することができる。

なお以上の説明で具体的な転送手段の構成は上述の例に限定されるものではなく、特にクロック信号で回路の駆動を行うと共に、単発のパルスを転送して走査信号を形成する場合に適用できるものである。

【発明の効果】

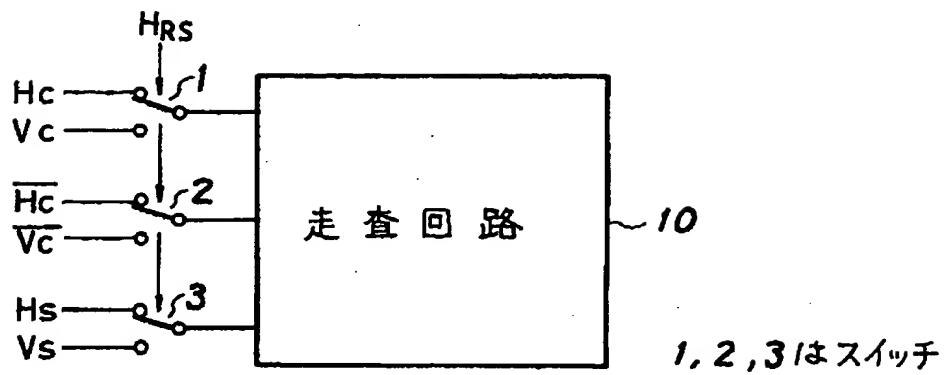
この発明によれば、所望時に低速のクロック信号または第1及び第3のインバータの出力端と第2のインバータの入力端とを結ぶ信号路と一方の電源端子との間に設けられたスイッチ手段を用いて回路のリセットが行われるので、起動時等の回路の動作が確実に行われるようになり、装置の信頼性が向上されると共に、安定度の高い走査信号を得ることができるようになった。

【図面の簡単な説明】

第1図は本発明による走査回路の一例の構成図、第2図はそのタイミングチャート図、第3図は信号形成回路の構成図、第4図は本発明による走査回路の他の例の構成図、第5図はそのタイミングチャート図、第6図は従来の走査回路の構成図、第7図はそのタイミングチャート図、第8図は従来の他の走査回路の構成図、第9図はそのタイミングチャート図である。

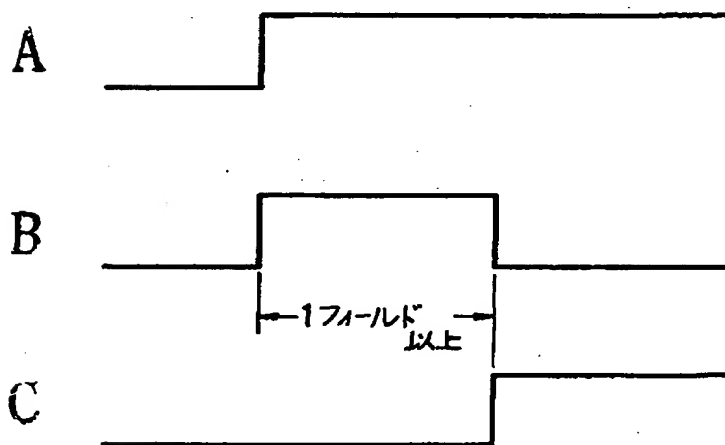
(1)(2)(3)切り換えスイッチ、(10)は走査回路、Iはインバータ、P、N、S、Cはスイッチング素子、NRはノア回路である。

【第1図】



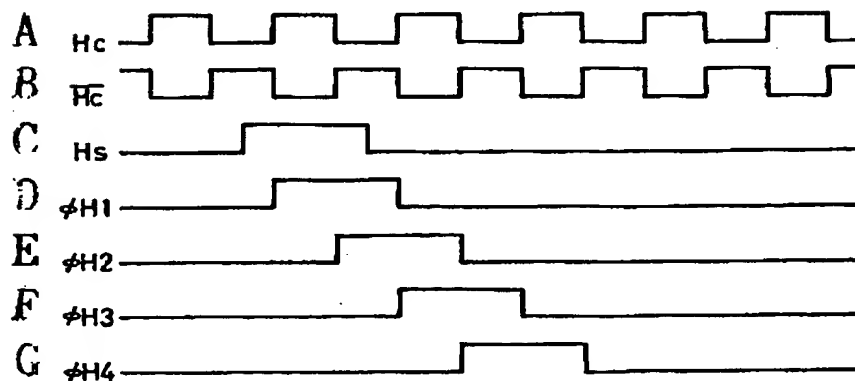
実施例の構成図

【第2図】



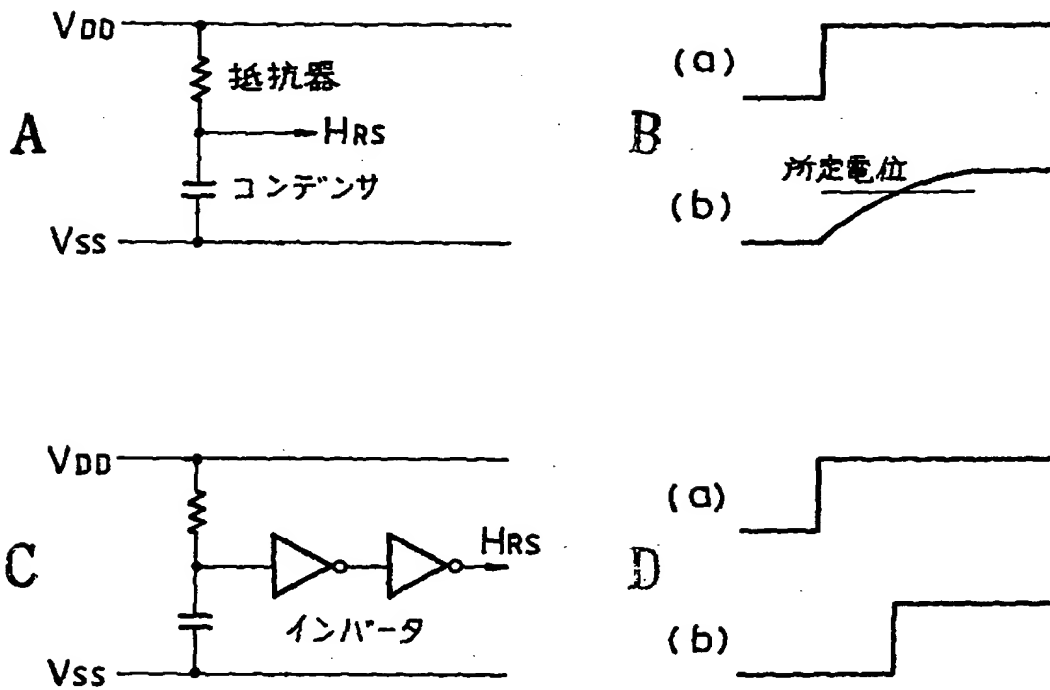
タイミングチャート

【第7図】



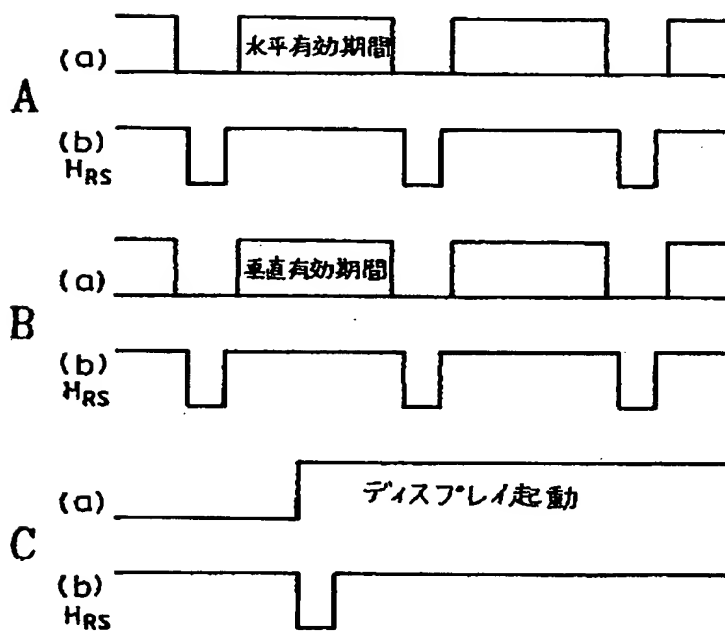
タイミングチャート

【第3図】



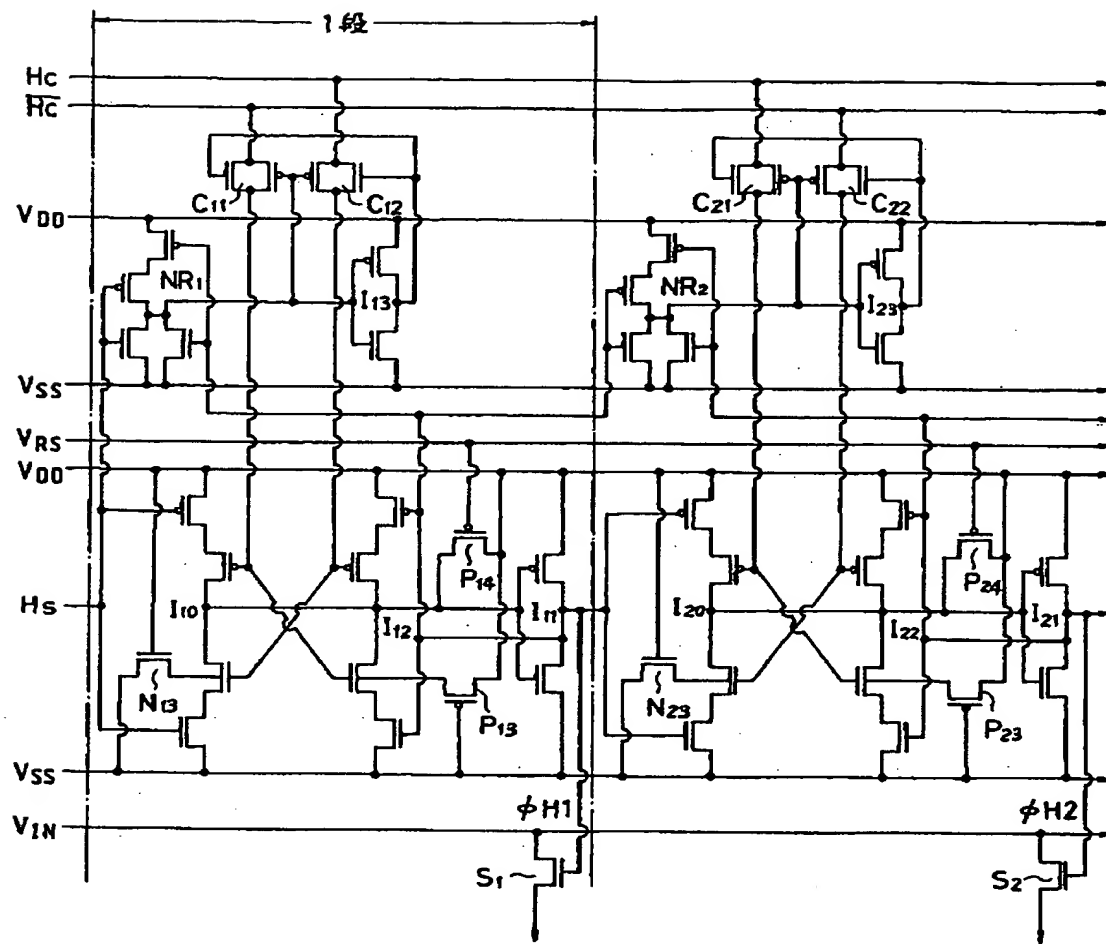
制御信号の形成回路

【第5図】

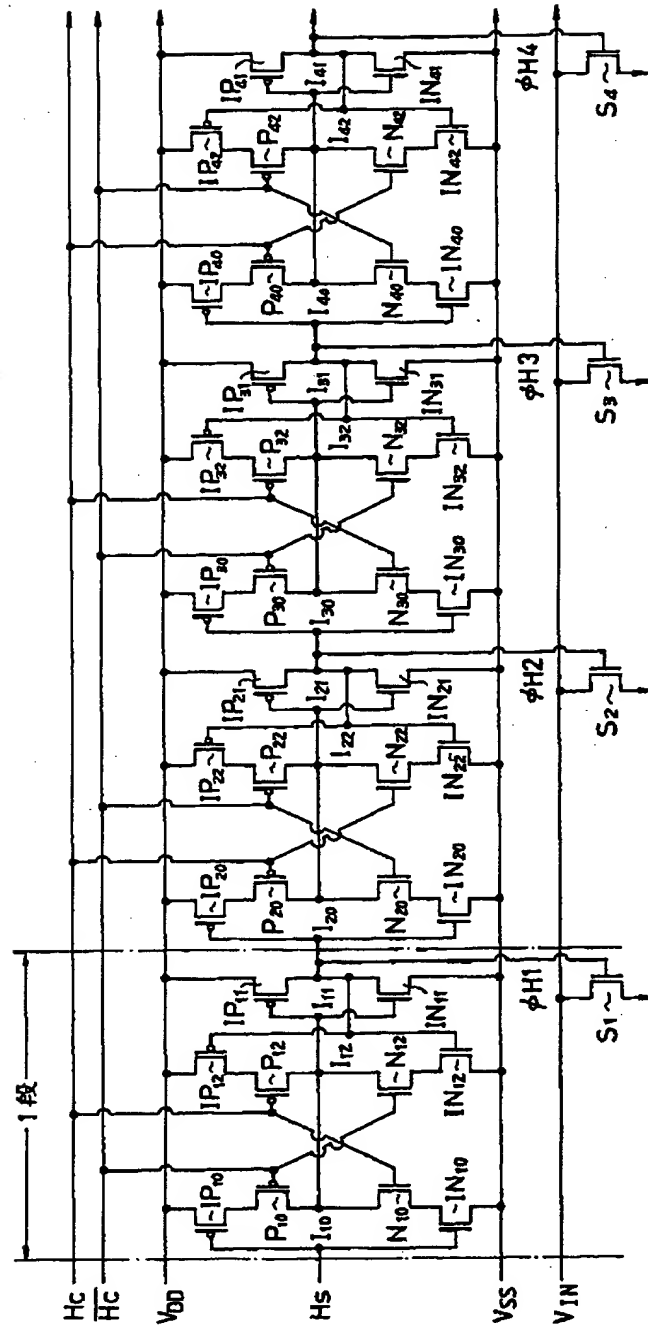


タイミングチャート

他の例の構成図

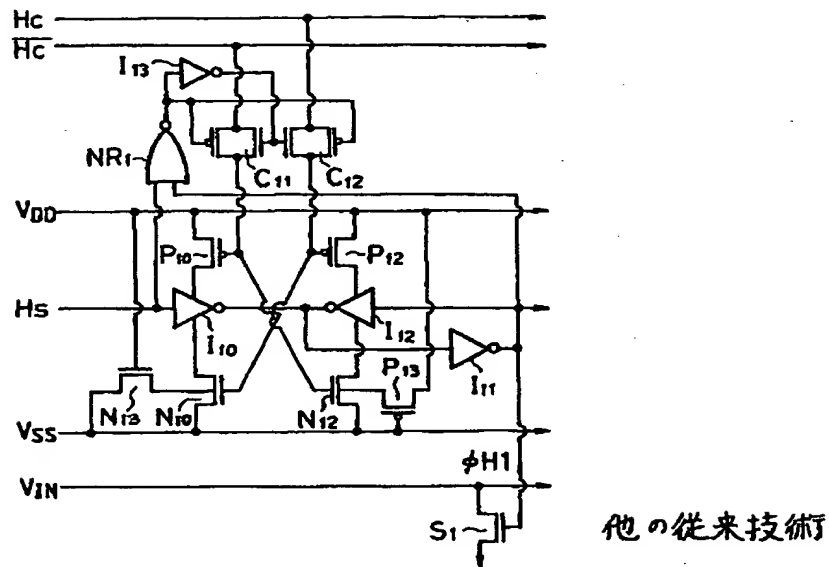


【第6図】

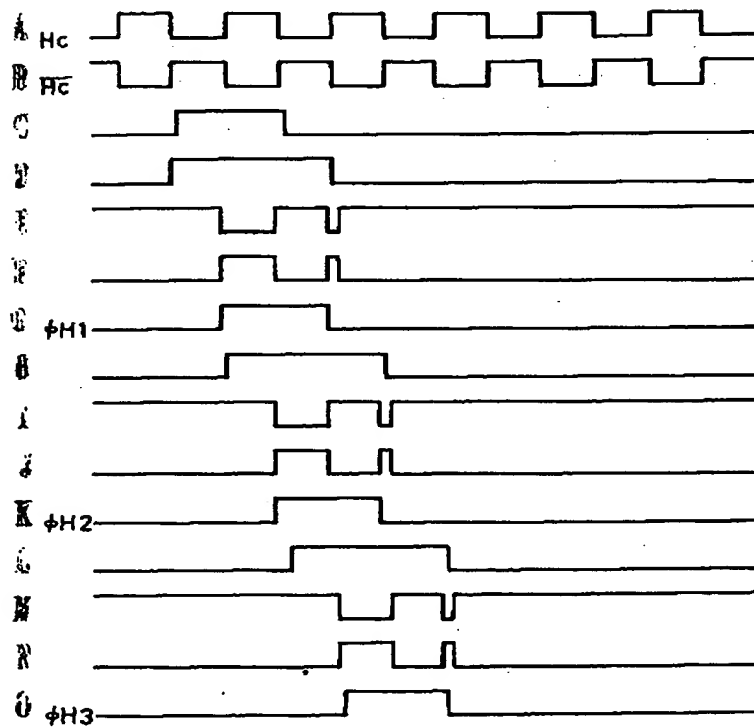


従来技術の構成図

【第8図】



【第9図】



タイミングチャート